

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-016255

(43)Date of publication of application : 18.01.2002

(51)Int.Cl.

H01L 29/786

(21)Application number : 2001-143342

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 14.05.2001

(72)Inventor : COHEN GUY
WONG HON-SUM PHILIP

(30)Priority

Priority number : 2000 204131
2000 612260Priority date : 15.05.2000
07.07.2000

Priority country : US

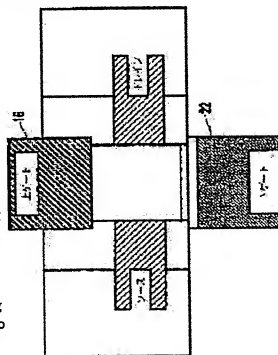
US

(54) SELF-ALIGNED DOUBLE-GATE MOSFET HAVING SEPARATED GATES

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a double-gate integrated circuit and its structure.

SOLUTION: The method includes a step for forming a laminated structure, having a channel layer and first insulation layers provided on the respective side surface of the channel layer, a step for forming an opening in the laminated structure, a step for forming source and drain regions in the opening, a step for removing a portion of the laminated structure for leaving a first portion of the channel layer exposed to the external, a step for forming a first gate dielectric layer in the channel layer, a step for forming a first gate electrode in the first gate dielectric layer, a step for removing a portion of the laminated structure to leave a second portion of the channel layer exposed to the external, a step for forming a second gate dielectric layer in the channel layer, a step for forming a second gate electrode in the second gate dielectric layer, and a step for doping the source and drain regions through self-aligned ion implantation. In this case, the first and second gate electrodes are formed independently of each other.



LEGAL STATUS

[Date of request for examination]

14.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-16255

(P2002-16255A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl.⁷

H01L 29/786

識別記号

F I

H01L 29/78

チマコド (参考)

617N 5F110

審査請求 有 請求項の数43 O L (全 15 頁)

(21) 出願番号 特願2001-143342(P2001-143342)

(22) 出願日 平成13年5月14日 (2001.5.14)

(31) 優先権主張番号 60/204131

(32) 優先日 平成12年5月15日 (2000.5.15)

(33) 優先権主張国 米国 (US)

(31) 優先権主張番号 09/612260

(32) 優先日 平成12年7月7日 (2000.7.7)

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ン・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (所在地なし)

(74) 代理人 100086243

弁理士 坂口 博 (外2名)

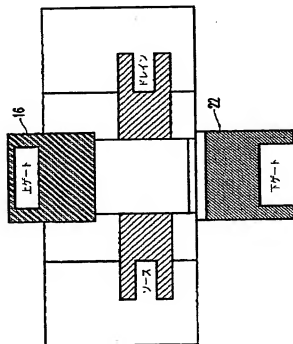
最終頁に続く

(54) 【発明の名称】 ゲートが分離した自己整合ダブル・ゲートMOSFET

(57) 【要約】

【課題】 ダブル・ゲート集積回路を作製する方法及びその構造を提供すること。

【解決手段】 方法は、チャネル層及びチャネル層の各側面に第1絶縁層を持つ積層構造を形成するステップ、積層構造に開口を形成するステップ、開口にソース及びドレインの領域を形成するステップ、積層構造の一部を除去してチャネル層の第1部分を露出したまま残すステップ、チャネル層に第1ゲート誘電層を形成するステップ、第1ゲート誘電層に第1ゲート電極を形成するステップ、積層構造の一部を除去してチャネル層の第2部分を露出したまま残すステップと、チャネル層に第2ゲート誘電層を形成するステップ、第2ゲート誘電層に第2ゲート電極を形成するステップ、及び自己整合イオン注入によりソース及びドレインの領域をドーピングするステップを含み、第1ゲート電極と第2ゲート電極は互いに独立に形成される。



【特許請求の範囲】

【請求項1】チャネル領域と、
前記チャネル領域の上の第1ゲートと、
前記チャネル領域の下の第2ゲートと、
を含み、前記第1ゲート及び前記第2ゲートが互いに電
氣的に分離した、トランジスタ。
【請求項2】前記第1ゲートは前記第2ゲートとドーピ
ング濃度が異なる、請求項1記載のトランジスタ。
【請求項3】前記第1ゲートは前記第2ゲートとドーピ
ング種が異なる、請求項1記載のトランジスタ。
【請求項4】前記第1ゲートの下に第1ゲート誘電体
を、前記第2ゲートの上に第2ゲート誘電体を含む、請
求項1記載のトランジスタ。
【請求項5】前記第1ゲートに第1導電コンタクトが、
前記第2ゲートに第2導電コンタクトがあり、該第1導
電コンタクトと該第2導電コンタクトはコプラナであ
る、請求項1記載のトランジスタ。
【請求項6】前記第1ゲートは前記第2ゲートとは異な
る物質を含む、請求項1記載のトランジスタ。
【請求項7】前記第1ゲートは前記第2ゲートとは厚み
が異なる、請求項1記載のトランジスタ。
【請求項8】前記第1ゲート、前記第2ゲート、及びチ
ャネル領域により平坦化された構造が形成される、請求
項1記載のトランジスタ。
【請求項9】前記第1ゲート誘電体は前記第2ゲート誘
電体とは異なる物質を含む、請求項4記載のトランジス
タ。
【請求項10】前記第1ゲート誘電体は前記第2ゲート
誘電体とは厚みが異なる、請求項4記載のトランジス
タ。
【請求項11】少なくとも1つのトランジスタを持つ半
導体チップであって、該トランジスタは、
チャネル領域と、
前記チャネル領域の上の第1ゲートと、
前記チャネルゲートの下の第2ゲートと、
を含み、前記第1ゲートは前記第2ゲートとは異なる物
質を含む、
半導体チップ。
【請求項12】前記第1ゲートと前記第2ゲートはドー
パント濃度が異なる、請求項1記載の半導体チップ。
【請求項13】前記第1ゲートと前記第2ゲートはドー
パント種が異なる、請求項1記載の半導体チップ。
【請求項14】前記第1ゲートの下に第1ゲート誘電体
を、前記第2ゲートの上に第2ゲート誘電体を含む、請
求項1記載の半導体チップ。
【請求項15】前記第1ゲート誘電体は前記第2ゲート
誘電体とは異なる物質を含む、請求項14記載の半導体
チップ。
【請求項16】前記第1ゲート誘電体は前記第2ゲート
誘電体とは厚みが異なる、請求項14記載の半導体チッ

プ。

【請求項17】前記第1ゲートに第1導電コンタクト
が、前記第2ゲートに第2導電コンタクトがあり、該第
1導電コンタクトと該第2導電コンタクトはコプラナで
ある、請求項1記載の半導体チップ。
【請求項18】前記第1ゲートと前記第2ゲートは電氣
的に分離した、請求項1記載の半導体チップ。
【請求項19】前記第1ゲートと前記第2ゲートは厚み
が異なる、請求項1記載の半導体チップ。
【請求項20】前記第1ゲート、前記第2ゲート、及び
前記チャネル領域により平坦化された構造が形成され
る、請求項1記載の半導体チップ。
【請求項21】トランジスタを形成する方法であって、
チャネル領域上に第1ゲートを含む積層構造を形成する
ステップと、
前記チャネル領域下の前記積層の一部を取り除くステッ
プと、
前記チャネル領域の下に第2ゲートを形成するステップ
と、
を含み、前記第1ゲートと前記第2ゲートは互いに電氣
的に分離した、
方法。
【請求項22】前記第1ゲートは前記除去プロセスの間に
前記チャネル領域を支持する、請求項21記載のトラン
ジスタ形成方法。
【請求項23】前記第1ゲートと前記第2ゲートはドー
パント濃度が異なる、請求項21記載のトランジスタ形
成方法。
【請求項24】前記第1ゲートと前記第2ゲートに異な
るドーピング種を適用するステップを含む、請求項21
記載のトランジスタ形成方法。
【請求項25】前記第1ゲート下に第1ゲート誘電体
を、前記第2ゲート上に第2ゲート誘電体を形成するス
テップを含む、請求項21記載のトランジスタ形成方
法。
【請求項26】前記第1ゲート誘電体は前記第2ゲート
誘電体とは異なる物質を含む、請求項24記載のトラン
ジスタ形成方法。
【請求項27】前記第1ゲート誘電体は前記第2ゲート
誘電体とは厚みが異なる、請求項24記載のトランジス
タ形成方法。
【請求項28】前記第1ゲート下に第1ゲート酸化物
を、前記第2ゲート上に第2ゲート酸化物を形成するス
テップを含む、請求項21記載のトランジスタ形成方
法。
【請求項29】前記第1ゲートに第1導電コンタクト
が、前記第2ゲートに第2導電コンタクトがあり、該第
1導電コンタクトと該第2導電コンタクトはコプラナで
ある、請求項21記載のトランジスタ形成方法。
【請求項30】前記第1ゲートは前記第2ゲートとは異

なる物質を含む、請求項2記載のトランジスタ形成方法。

【請求項31】前記第1ゲートは前記第2ゲートとは厚みが異なる、請求項2記載のトランジスタ形成方法。

【請求項32】前記第1ゲート、前記第2ゲート、及び前記チャネル領域により平坦化された構造が形成される、請求項2記載のトランジスタ形成方法。

【請求項33】ダブル・ゲート・トランジスタを製作する方法であって、チャネル層及び該チャネル層の各側面に第1絶縁層を持つ積層構造を形成するステップと、前記積層構造に開口を形成するステップと、前記開口にソース及びドレインの領域を形成するステップと、

前記積層構造の一部を除去して前記チャネル層の第1部分を露出したまま残すステップと、前記チャネル層上に第1ゲート誘電体を形成するステップと、

前記第1ゲート誘電層上に第1ゲート電極を形成するステップと、

前記積層構造の一部を除去し、前記チャネル層の第2部分を露出したまま残すステップと、

前記チャネル層上に第2ゲート誘電層を形成するステップと、

前記第2ゲート誘電層上に第2ゲート電極を形成するステップと、

前記ソース及びドレインの領域をドーピングするステップと、

を含む、前記第1ゲート電極と前記第2ゲート電極が互いに個別に形成される、方法。

【請求項34】前記第1及び第2のゲート電極は電気的に分離した、請求項33記載の方法。

【請求項35】前記ソース及びドレインの領域の前記ドーピングは自己整合イオン注入を含む、請求項33記載の方法。

【請求項36】前記第1ゲート電極を前記第2ゲート電極より厚みが大きくなるよう形成するステップを含む、請求項33記載の方法。

【請求項37】前記第1ゲートを前記第2ゲートより幅が大きくなるよう形成するステップを含む、請求項33記載の方法。

【請求項38】前記第1ゲート誘電体を前記第2ゲート誘電体より幅が大きくなるよう形成するステップを含む、請求項33記載の方法。

【請求項39】前記第1ゲートは第1物質から、前記第2ゲートは第2物質から形成するステップを含む、請求項33記載の方法。

【請求項40】前記第1ゲート誘電体は第1物質から、前記第2ゲート誘電体は第2物質から形成するステップ

を含む、請求項33記載の方法。

【請求項41】前記積層構造の一部を除去する前記ステップは、前記チャネル層の第2部分を露出したまま残し、前記積層層にトンネルを形成するステップを含む、該トンネルは上層と下層の間に形成される、請求項33記載の方法。

【請求項42】前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、請求項33記載の方法。

【請求項43】前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、請求項33記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般にはゲートが上下に電気的に分離した自己整合ダブル・ゲート金属酸

化物半導体電界効果トランジスタ(DG-MOSFET)に関する。本発明では、上下のゲートは異なる物質から形成することができる。

【0002】

【従来の技術】ダブル・ゲート金属酸化物半導体電界効果トランジスタ(DG-MOSFET)は、チャネル内のキャリアが上下のゲートにより制御されるMOSFETである。ダブル・ゲートMOSFETには、トランジスタのオン電流密度が高い、寄生抵抗が小さい、ドープ濃度の変化の影響を受けない、短チャネル特性に優れる、といった従来のシングル・ゲートMOSFETにはない利点がある。更に、チャネル長20nmまで、チャネル領域のドーピングは必要なく、良好な短チャネル特性が得られる。これにより、チャネル・ドーピングに伴うトンネル・ブレークダウン、ドープ濃度量子化、不純物拡散といった問題が全て回避される。

【0003】従来のシステムは、上下両方のゲートがチャネル領域と自己整合するダブル・ゲート構造を目指していた。しかし、この自己整合構造を達成する上で満足 of いく方法は得られていない。一般に、これまでの努力は次のようなカテゴリに分けられる。第1のカテゴリは、ピラー(pillar)構造へのシリコン(Si)のエッチングと、その周りのゲート付着を含む(垂直電界効果トランジスタ(FET))。第2のカテゴリは、SOI(silicon-on-insulator)膜をエッチングして薄いバーにし、バーの両端にソース/ドレイン・コンタクトを形成し、薄いSiバーの全3面にゲート物質を付着する。もう1つの方法では、従来のシングル・ゲートMOSFETが作製され、接合エッチバック法により第2ゲートが形成される。4つ目の従来法は、SOI薄膜からスタートし、ストリッパがパターン化され、埋め込み酸化物をエッチングすることでその下にトンネルが掘られ、懸吊したSiブリッジが形成される。次に、懸吊したSiブリッジ全てにゲート物質を付着する。

【0004】前記のアプローチのどれにも大きな欠点がある。例えば、第1と第2のカテゴリは垂直ビラまたは

はSiバーを10nm厚に形成する必要があり、厚みを十分制御しながらこの寸法を達成し、反応性イオン・エッチング(RIE)破損を防ぐのは困難である。垂直例(第1)の場合、ビラ下に埋められたソース/ドレイン端みに低直列抵抗コンタクトを作製することは困難である。模の例(第2)では、デバイス幅がSiバー高さによって制限される。第3の例では、厚み制御と上下のゲートの自己整合が大きな問題になる。第4の例では、ゲート長の制御が不十分であり、2つのゲートは電氣的に接続され、同じ物質で構成する必要がある。

【0005】K. L. Chan, G. M. Cohen, Y. Taut, H. S. P. Wongによる1999年3月19日付米国特許出願第09/272297号"Self-Aligned Double-Gate MOSFET by Selective Epitaxy and Silicon Wafer Bonding Techniques"(以下、Chanと呼ぶ)は、上下のゲートが両方ともチャネル領域に自己整合するダブル・ゲートMOSFET構造の作製方法を利用している。このプロセスにより前記の問題はほとんど回避される。しかし上下のゲートは物理的に接続されたままである。これは、ゲート物質が"チャネル全周"ゲートとして1回の処理ステップで付着されるためである。

【0006】これは、次のような理由から、用途によっては好ましくない結果をもたらす。第1に、回路設計の観点からは2つのゲートを電氣的に分離することが望ましい。第2に、下ゲートと上ゲートは基本的には同じ物質から形成されるので、対称型DG-MOSFETしか作製できない。下ゲートの物質が上ゲートと異なる非対称DG-MOSFETを実現することはできない。

【0007】Chanは、懸吊したシリコン・ブリッジ(チャネル)の形成とこれに続くチャネル周囲へのコンフォーマルなゲート物質の付着により"チャネル全周"ゲートを形成する方法を開示している。しきい値電圧の制御性を良くするには、チャネルの厚さを3nm乃至5nmまで薄くする必要がある。そのような薄いブリッジを処理しながら十分な歩留まりを保てるかどうかは明らかでない。従って、この点はChanによるプロセスに制限を課す可能性がある。

【0008】

【発明が解決しようとする課題】従って、上下のゲートを個別に付着することによって形成される自己整合DG-MOSFETが求められる。そのような構造では多くのメリットが得られる。例えば、ゲートを独立に形成することでゲートを電氣的に分離でき、物質及び厚みの異なるゲートを形成でき、平坦化された構造が得られるので、デバイスとの接続が容易になる。また極薄チャネルを形成できるDG-MOSFETが求められる。

【0009】

【課題を解決するための手段】本発明の目的は、チャネル層及びチャネル層の各側面に第1絶縁層を持つ積層構造を形成するステップ、積層構造に開口を形成するステ

ップ、開口にソースとドレインの領域を形成するステップ、積層構造を一部削除して露出したチャネル層の第1部分を残すステップ、チャネル層に第1ゲート誘電層を形成するステップ、第1ゲート誘電層に第1ゲート電極を形成するステップ、積層構造の一部を除去して露出したチャネル層の第2部分を残すステップ、チャネル層に第2ゲート誘電層を形成するステップ、第2ゲート誘電層に第2ゲート電極を形成するステップ、及び自己整合イオン注入によりソースとドレインの領域をドーピングするステップを含み、第1ゲート電極と第2ゲート電極が互いに独立に形成される、ダブル・ゲート集積回路(IC)を作製する方法及びその構造を提供することである。

【0010】ゲート誘電体は通常、 SiO_2 から形成されるが、他の誘電物質でもよい。また上ゲートに関連するゲート誘電体は下ゲートに関連するゲート誘電体から独立している。従ってゲート誘電体は厚みと物質が異なるものでよい。

【0011】

【発明の実施の形態】以下、上下のゲートが電氣的に分離した自己整合ダブル・ゲート金属酸化半導体電界効果トランジスタ(DG-MOSFET)及びその作製方法である本発明について説明する。更に、上下のゲートは異なる物質を含む。

【0012】図1乃至図6に示すように、本発明は一連の層の形成から始まる。まず約2nmの薄い二酸化シリコン1を単結晶ウエハ5A(ドナー・ウエハ)に形成する。次に酸化シリコン層2(これは例えば約100nm厚)を二酸化シリコン層1に形成する。次に厚みのある(例えば約400nm厚)二酸化シリコン層3を酸化層2に形成する。次に結晶ウエハをハンドル・ウエハ4に接合する。この接合は、ボロン・エッチ・ストップ、smartCut、当業者には周知の方法等、一般的シリコン・ウエハ接合法により行われる。(接合法の詳細については、Jean-PierreColingeによるSilicon-On-Insulator Technology, 2nd Ed, Kluwer Academic Publishers, 1997を参照されたい。)次にSOI層5をMOSFETチャネルに必要な厚みに形成する。例えばsmartCut法を用いる場合、薄いSi層がドナー・ウエハ5A表面からハンドル・ウエハ4に移動される。移動されたSi層は通常、 SiO_2 等の絶縁膜に接合される(従ってsilicon-on-insulator(SOI)と呼ばれる)。移動されたSi層の厚みは、smartCut法の一部である注入水素の深さにより決まる。SOI層は、ハンドル・ウエハ4に移動された後、酸化と剥離により更に薄くすることができ、SOI膜厚は通常、偏光解析法やX線回折法により観測される(G. M. CohenらによるApplied Physics Letters, 75(6), p. 787, August 1999を参照されたい)。

【0013】次に薄い二酸化シリコン層6(約2nm)がSOI層5に形成される。その後、厚みのある酸化シ

リコン層7 (約150nm等) が二酸化シリコン層6に形成される。

【0014】最初の層群が完成した後、2つの領域8がエッチングされて膜のスタックが形成される。図7及び図8に示すように、エッチ・ストップ (または同様な制御機能が埋め込み酸化物 (BOX) 3内に一定距離まで配置される。これら2つの領域間の距離は、作製されたMOSFETゲートの長さ (Lg) になる。

【0015】簡潔化のため、ここでは本発明の構造とプロセスについて、様々な断面図を参照して説明する。例えば図7、図9、図11乃至図18、図20、図21、図23、図25、図27、図29、図31、図33乃至図38、図40、図41、図43、図45及び図47は、図8及び図9に示した構造の平面図を線L-Lに沿って切り取った図である。

【0016】本発明では、エッチングされた領域の形状を調整するため一連のステップが実行される。最初に、図9及び図10に示すように、単結晶SOI5チャネルからエピタキシャル・シリコン (epi) 延長部9を選択的に成長させる。epi延長部9は、エッチングされた領域8に及び、エッチングされた領域の全周に成長する。epi延長部9の大きさは、好適には50nmである。延長部は、SiGe、SiGeC、当業者には周知の他の適切な物質等、他の合金の成長によっても得られる。

【0017】次に、図11に示すように、エッチングされた領域8の側壁に側壁スペーサ10が形成される。これは構造全体への誘電体 (図示せず) の付着により行われる。誘電体の厚みにより得られるスペーサ10の厚みが決まる。誘電体は、エッチング選択性を与える要素にもなる (例えば、後で酸化物と窒化物の層を付着する等)。好適実施例の場合、反応性イオン・エッチングにより側壁スペーサ10が形成される。また等方性エッチング (反応性イオン・エッチングまたは湿式化学エッチング) により、SOIチャネルの露出したシリコン延長部からスペーサ誘電体の残留物を取り除かれる。

【0018】次に図12に示すように、ソース/ドレイン領域11が形成される。これは第1に、アモルファス・シリコンまたはポリシリコン11を、エッチングされた領域8に付着することによって行われる。図12に示すように、アモルファス・シリコンは窒化物7の上面より高くなるまで付着される。第2に、機械化学的研磨 (CMP: chemical-mechanical polishing) により上面が平坦化される。CMPプロセスは主に、アモルファスSiを除去し、窒化物7に対しては選択的である。次に図13に示すように、反応性イオン・エッチングによりソース/ドレイン領域11のシリコンにリセス12が形成される。最後に、図14に示すようにリセス領域12に誘電体13 (酸化物等) が付着され、誘電体はリセス領域12に対して完全に同形になる。その後、CMP

により誘電体が平坦化される。

【0019】また、図15に示すように、構造の上部の形状が調整される。これは第1に、湿式化学エッチング (高温リン酸等) により上窒化物7を取り除くことによって行われる。第2に、図16に示すように側壁14が形成される。側壁は、誘電体を構造全体に対してコンフォーマルに付着し、誘電体をエッチングすることによって形成される。誘電体の厚みにより側壁14の厚みが決まる。第3に、上犠牲パッド酸化物6が湿式化学エッチング (例えばフッ化水素酸) により除去される。次に、図17に示すように、SOIチャネル5の上面に上ゲート誘電体 (酸化物) 15を成長させる。上ゲート物質16 (例えば、ドーブしたポリシリコンまたはタングステン) がコンフォーマルに付着され、図18に示すようにゲート電極が形成される。最後に、機械化学的研磨により上面が平坦化される。CMPプロセスは主に、窒化物7に対して選択的なスラリーを使用して上ゲート物質を取り除く。その後、図19及び図20に示すように、構造にメサ・ハード・マスク17が配置される。メサ・ハード・マスクは、好適には約100nm厚の窒化膜の付着により、窒化層は後でパターン化される。図22、図24、図26、図28、図30、図32、図42、図44、図46及び図48は、図19に示す線W-Wに沿った断面図である。

【0020】具体的には、メサ・ハード・マスク17により個々のデバイスが分離される。構造は次のようにパターン化される。1) 図21及び図22に示すように、RIEでSOI膜を超えてエッチングし、窒化物でストッパする。2) 図23及び図24に示すように、好適には約75nmの低温酸化物 (LTO: low temperature oxide) 等の誘電体を構造全体にコンフォーマルに付着し、誘電体をエッチングして側壁18を形成する。3) 図25及び図26に示すように、BOX3の方へ一定距離エッチングしてメサのエッチングを完了する。このプロセスの間に下窒化物2の側壁も露出する。

【0021】図27及び図28に示すように、本発明では熱酸化物19を成長させ、露出したソース及びドレインの側壁を分離する。次に、図29及び図30に示すように、湿式化学エッチング (高温リン酸等) により下窒化物2と上窒化物ハード・マスク17が取り除かれる。下窒化物2が除去されることで、デバイスの幅方向にトンネル20が、長さ方向に懸吊したブリッジが形成される。また湿式化学エッチング (リン酸等) により下犠牲パッド酸化物1が取り除かれる。

【0022】次に、図31及び図32に示すように、下ゲート電極22が形成される。これは最初、SOIチャネル5下面に下ゲート誘電体 (酸化物) 21を成長させることによる。下ゲート物質22 (ドーブしたポリシリコン、タングステン等) がコンフォーマルに付着され、下ゲート電極が形成される。次に、CMPにより上面が

平坦化される。CMPプロセスは主に、下ゲート物質を取り除き、LTPに対して選択的である。

【0023】図33に示すように、ソース/ドレイン・キャップ誘電体LTO13がエッチングされる。本発明では、図34に示すように、構造全体に誘電体がコン
5 オーマルに付着されて側壁23が形成される。こ
でも、この誘電体の厚みにより、得られるスペーサの厚みが決まる。誘電体は次にエッチングされ、最終的な側壁23の構造が形成される。

【0024】次に、図35に示すように、自己整合イオン注入24によりソース/ドレイン領域11をドーブ
10 し、シリコン11を重ドーブする。SOIチャネル領域をイオン注入に対してマスクするため、上ポリ・ゲート16が自己整合注入マスクとして用いられる。ソース/ドレイン注入は、側壁スペーサ23によりチャネル領域からはずれる。注入の後、高導熱アニールによりドー
15 バントが活性化される。

【0025】次に、図37に示すように、自己整合シリサイド・プロセスによりソース/ドレインとゲート11にシリサイド26が形成される。これは当業者には周知の標準的なプロセスにより行われる。例えば、シリサイドの適用に備えて、図36に示すように構造全体にCo
20 (コバルト)、Ti (チタニウム) 等の金属25がコン
フォーマルに付着され、構造が加熱される。シリサイドの付着後、LTO等の誘電体がシリサイドにコンフォーマルに付着され、LTOキャップ27が形成される(図38)。次にCMPにより上面が平坦化される。CMP
プロセスは主に、誘電体物質27を取り除き、シリサイド26やゲート物質16、22に対して選択的である。CMP
30 プロセスの選択性には限度があるため、ゲート・シリサイド26の一部または全部を除去できないことがある。その場合は、自己整合シリサイド・プロセスを繰り返すことで、新しいゲート・シリサイドを形成することができる。次に下ゲート22に最終処理が施される。まず好適には約100nmの窒化物またはLTO膜27が付着され、後にフォトリソグラフィによりパターン
35 化され、図39の平面図と図40の線L-Lに沿った断面図に示すように、下ゲート領域28を面設するハード・マスクが形成される。次に、余分な下ゲート物質22がBOX3までエッチングされ、図41及び図42に示すように、厚みのあるバリエーション誘電体29が付着される。再びCMPにより上面が平坦化される。CMP
プロセスは主に、誘電体物質29を取り除き、窒化物ハード・マスク28に対して選択的であってこれを取り除くことはない。次に、図43及び図44に示すように、第2バ
40 リエーション誘電体30が付着される。

【0026】次に、図45及び図46に示すように、ソース及びドレイン11、コンタクト・ホール32上にコンタクト・ホール(バリア)31が形成され、2つのゲート16、22上で、フォトリソグラフィのパター
45 ン

化とエッチングによりエッチングされる。次に、図47及び図48に示すように、メタライゼーション(金属)33が付着され、後にパターン化されてソース、ドレイン、及び上下のゲート電極との電気コンタクトが形成
5 される。ゲートが短すぎる場合は、2つのレベルのメタライゼーションを適用することで、上ゲートのコンタクトに関して設計ルールに幅をもたせることができる。図49は完成した構造の平面図である。本発明による改良により、従来技術に比べて多くのメリットが得られる。第1に、本発明では上下のゲートが2回の独立したステ
10 ップで付着され、電氣的に分離した上下ゲートが形成される。これにはいくつかの利点がある。例えば、下ゲートはしきい値電圧の制御に使用でき、従って低電力用途に合った混合しきい値電圧(V_t)回路が得られる。

【0027】この構造ではまた回路密度を上げることが
15 できる。ゲートが電氣的に分離しているとき、ダブル・ゲートMOSFETは、入力ゲートが2つの端末デバイスを4つ含む。従って、1つのデバイスによりNOR(nFET)、NAND(pFET)セル等のバイナリ
20 論理演算を実現することができる。通常メモリ1つのバイナリ論理演算の実現には、セル毎に2つの標準MOSFETが必要である。回路密度をこのように高めることはアナログ回路でも可能である。例えば、オシレータ電圧を1つのゲートに印加し、信号(データ)電圧をもう1つ
25 のゲートに印加することによってミキサを実現することができる。

【0028】本発明では、上下のゲートを対応するゲート誘電体を個別に成長させるので、ゲートとゲート誘電体は物質及び厚みを変えて形成することができる。また各ゲートに導入するドーピング・レベルとドーピング種を同じにする必要はない。従って、非対称ゲートを作製
30 することができる。非対称ダブル・ゲートMOSFETは例えば、静的ランダム・アクセス・メモリ(SRAM)用途のように、スピードを得るためゲートを一括接合し、ゲートを個別に使用して低電力と高密度を達成するような混合用途に最も有用である。また本発明では、ブレーナの構造が得られるので、デバイスの接続が容易になる。良好なしきい値電圧動作を得るため、約3nm乃至約5nm厚の極薄チャネルを持つデバイスを必要と
40 することがある。薄い層を持つ懸吊したシリコン・ブリッジを作製すると、全体の歩留まりが低下することがある。本発明では、厚みのある層22を持つチャネルがサポートされる。従って、本発明では極薄チャネルを持つデバイスを作製でき、そのようなデバイスで良好なしきい値電圧挙動が得られる。本発明はまた、直列抵抗を下
45 げる自己整合シリサイド・プロセスを利用している。

【0029】本発明は、好適実施例に関して説明したが、当業者には明らかなように、特許請求の範囲の主旨及び範囲から逸脱することなく変更を加えて実施する
50 ことができる。

【0030】まとめとして、本発明の構成に関して以下の事項を開示する。

【0031】(1) チャネル領域と、前記チャネル領域の上の第1ゲートと、前記チャネル領域の下に第2ゲートと、を含む、前記第1ゲート及び前記第2ゲートが互いに電氣的に分離した、トランジスタ。

(2) 前記第1ゲートは前記第2ゲートとドーピング濃度が異なる、前記(1)記載のトランジスタ。

(3) 前記第1ゲートは前記第2ゲートとドーピング種が異なる、前記(1)記載のトランジスタ。

(4) 前記第1ゲートの下に第1ゲート誘電体を、前記第2ゲートの上に第2ゲート誘電体を含む、前記(1)記載のトランジスタ。

(5) 前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、前記(1)記載のトランジスタ。

(6) 前記第1ゲートは前記第2ゲートとは異なる物質を含む、前記(1)記載のトランジスタ。

(7) 前記第1ゲートは前記第2ゲートとは厚みが異なる、前記(1)記載のトランジスタ。

(8) 前記第1ゲート、前記第2ゲート、及びチャネル領域により平坦化された構造が形成される、前記(1)記載のトランジスタ。

(9) 前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、前記(4)記載のトランジスタ。

(10) 前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、前記(4)記載のトランジスタ。

(11) 少なくとも1つのトランジスタを持つ半導体チップであって、該トランジスタは、チャネル領域と、前記チャネル領域の上の第1ゲートと、前記チャネルゲートの下の第2ゲートと、を含む、前記第1ゲートは前記第2ゲートとは異なる物質を含む、半導体チップ。

(12) 前記第1ゲートと前記第2ゲートはドーパント濃度が異なる、前記(11)記載の半導体チップ。

(13) 前記第1ゲートと前記第2ゲートはドーパント種が異なる、前記(11)記載の半導体チップ。

(14) 前記第1ゲートの下に第1ゲート誘電体を、前記第2ゲートの上に第2ゲート誘電体を含む、前記(11)記載の半導体チップ。

(15) 前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、前記(14)記載の半導体チップ。

(16) 前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、前記(14)記載の半導体チップ。

(17) 前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、前記(11)記載の半導体チップ。

(18) 前記第1ゲートと前記第2ゲートは電氣的に分

離した、前記(11)記載の半導体チップ。

(19) 前記第1ゲートと前記第2ゲートは厚みが異なる、前記(11)記載の半導体チップ。

(20) 前記第1ゲート、前記第2ゲート、及び前記チャネル領域により平坦化された構造が形成される、前記(11)記載の半導体チップ。

(21) トランジスタを形成する方法であって、チャネル領域上に第1ゲートを含む積層構造を形成するステップと、前記チャネル領域下の前記積層の一部を取り除くステップと、前記チャネル領域の下に第2ゲートを形成するステップと、を含む、前記第1ゲートと前記第2ゲートは互いに電氣的に分離した、方法。

(22) 前記第1ゲートは前記除去プロセスの間に前記チャネル領域を支持する、前記(21)記載のトランジスタ形成方法。

(23) 前記第1ゲートと前記第2ゲートはドーパント濃度が異なる、前記(21)記載のトランジスタ形成方法。

(24) 前記第1ゲートと前記第2ゲートに異なるドーピング種を適用するステップを含む、前記(21)記載のトランジスタ形成方法。

(25) 前記第1ゲート下に第1ゲート誘電体を、前記第2ゲート上に第2ゲート誘電体を形成するステップを含む、前記(21)記載のトランジスタ形成方法。

(26) 前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、前記(24)記載のトランジスタ形成方法。

(27) 前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、前記(24)記載のトランジスタ形成方法。

(28) 前記第1ゲート下に第1ゲート酸化物を、前記第2ゲート上に第2ゲート酸化物を形成するステップを含む、前記(21)記載のトランジスタ形成方法。

(29) 前記第1ゲートに第1導電コンタクトが、前記第2ゲートに第2導電コンタクトがあり、該第1導電コンタクトと該第2導電コンタクトはコプラナである、前記(21)記載のトランジスタ形成方法。

(30) 前記第1ゲートは前記第2ゲートとは異なる物質を含む、前記(21)記載のトランジスタ形成方法。

(31) 前記第1ゲートは前記第2ゲートとは厚みが異なる、前記(21)記載のトランジスタ形成方法。

(32) 前記第1ゲート、前記第2ゲート、及び前記チャネル領域により平坦化された構造が形成される、前記(21)記載のトランジスタ形成方法。

(33) ダブル・ゲート・トランジスタを製作する方法であって、チャネル層及び該チャネル層の各側面に第1絶縁層を持つ積層構造を形成するステップと、前記積層構造に開口を形成するステップと、前記開口にソース及びドレインの領域を形成するステップと、前記積層構造の一部を除去して前記チャネル層の第1部分を露出した

まま残すステップと、前記チャネル層上に第1ゲート誘電体を形成するステップと、前記第1ゲート誘電層上に第1ゲート電極を形成するステップと、前記積層構造の一部を除去し、前記チャネル層の第2部分を露出したまま残すステップと、前記チャネル層上に第2ゲート誘電層を形成するステップと、前記第2ゲート誘電層上に第2ゲート電極を形成するステップと、前記ソース及びドレインの領域をドーピングするステップと、を含み、前記第1ゲート電極と前記第2ゲート電極が互いに個別に形成される、方法。

(34) 前記第1及び第2のゲート電極は電氣的に分離した、前記(33)記載の方法。

(35) 前記ソース及びドレインの領域の前記ドーピングは自己整合イオン注入を含む、前記(33)記載の方法。

(36) 前記第1ゲート電極を前記第2ゲート電極より厚みが大きくなるよう形成するステップを含む、前記(33)記載の方法。

(37) 前記第1ゲートを前記第2ゲートより幅が大きくなるよう形成するステップを含む、前記(33)記載の方法。

(38) 前記第1ゲート誘電体を前記第2ゲート誘電体より幅が大きくなるよう形成するステップを含む、前記(33)記載の方法。

(39) 前記第1ゲートは第1物質から、前記第2ゲートは第2物質から形成するステップを含む、前記(33)記載の方法。

(40) 前記第1ゲート誘電体は第1物質から、前記第2ゲート誘電体は第2物質から形成するステップを含む、前記(33)記載の方法。

(41) 前記積層構造の一部を除去する前記ステップは、前記チャネル層の第2部分を露出したまま残し、前記積層にトンネルを形成するステップを含み、該トンネルは上層と下層の間に形成される、前記(33)記載の方法。

(42) 前記第1ゲート誘電体は前記第2ゲート誘電体とは異なる物質を含む、前記(33)記載の方法。

(43) 前記第1ゲート誘電体は前記第2ゲート誘電体とは厚みが異なる、前記(33)記載の方法。

【図面の簡単な説明】

【図1】積層を作製するための付着と接合の一部を示す図である。

【図2】積層を作製するための付着と接合の一部を示す図である。

【図3】積層を作製するための付着と接合の一部を示す図である。

【図4】積層を作製するための付着と接合の一部を示す図である。

【図5】積層を作製するための付着と接合の一部を示す図である。

【図6】積層を作製するための付着と接合の一部を示す図である。

【図7】図8の線L-Lに沿った断面を示す図である。

【図8】本発明に従って作製されたDG-MOSFETの平面図である。

【図9】図10の線L-Lに沿った断面を示す図である。

【図10】本発明に従って作製されたDG-MOSFETの平面図であり、エピタキシによるソース、ドレイン領域へのSOIチャネルの延長部を示す図である。

【図11】側壁スペーサを示す図である。

【図12】ソース、ドレインのトレンチをソース/ドレイン物質で埋めるプロセスとその後のCMPによる平坦化を示す図である。

【図13】ソース、ドレインのリセス（凹部）を示す図である。

【図14】誘電体物質で埋められたソース、ドレインのリセス領域を示す図である。

【図15】窒化物上層のエッチングを示す図である。

【図16】側壁の形成を示す図である。

【図17】上ゲート誘電体の成長後の構造を示す図である。

【図18】上ゲート物質の付着後の構造とCMPによるその平坦化を示す図である。

【図19】デバイス・メサを面設する窒化物ハード・マスクを持つ構造を示す図である。

【図20】図19の線L-Lに沿った断面を示す図である。

【図21】メサ・エッチング後の線L-Lに沿った構造を示す図である。

【図22】メサ・エッチング後の線W-Wに沿った構造を示す図である。

【図23】線L-Lに沿った側壁を示す図である。

【図24】線W-Wに沿った側壁を示す図である。

【図25】メサ・エッチングがBOXまで続いた後の線L-Lに沿った構造を示す図である。

【図26】メサ・エッチングがBOXまで続いた後の線L-Lに沿った構造を示す図である。

【図27】線L-Lに沿った構造と、露出したソース、ドレインの側壁の酸化による分離を示す図である。

【図28】線W-Wに沿った構造と、露出したソース、ドレインの側壁の酸化による分離を示す図である。

【図29】下窒化層が湿式エッチングで除去された後の線L-Lに沿った構造を示す図である。

【図30】下窒化層が湿式エッチングで除去された後の線W-Wに沿った構造を示す図である。

【図31】下ゲート誘電体の成長、下ゲート物質の付着、及びCMPによる平坦化の後の線L-Lに沿った構造を示す図である。

【図32】下ゲート誘電体の成長、下ゲート物質の付

着、及びCMPによる平坦化の後の線W-Wに沿った構造を示す図である。

【図33】ソース/ドレイン・リセス領域から誘電体が除去され、側壁が形成された後の線L-Lに沿った構造を示す図である。

【図34】ソース/ドレイン・リセス領域から誘電体が除去され、側壁が形成された後の線W-Wに沿った構造を示す図である。

【図35】自己整合ソース/ドレインの注入を線L-Lに沿って示す図である。

【図36】自己整合シリサイドの形成を線L-Lに沿って示す図である。

【図37】自己整合シリサイドの形成を線L-Lに沿って示す図である。

【図38】誘電体質で再び埋められたソース、ドレインのリセス領域を線L-Lに沿って示す図である。

【図39】余分な下ゲート物質のエッチングに用いられる窒化物ハード・マスクの平面図と線L-Lに沿った図である。

【図40】余分な下ゲート物質のエッチングに用いられる窒化物ハード・マスクの平面図と線W-Wに沿った図である。

【図41】誘電体の付着及びCMPによるデバイスのパシベーションと平坦化を線L-Lに沿って示す図である。

【図42】誘電体の付着とCMPによるデバイスのパシベーションと平坦化を線W-Wに沿って示す図である。

【図43】誘電体の付着とCMPによるデバイスのパシベーションと平坦化を線L-Lに沿って示す図である。

【図44】誘電体の付着とCMPによるデバイスのパシベーションと平坦化を線W-Wに沿って示す図である。

【図45】デバイスのソース、ドレイン、及び上下のゲートに接触するためのコンタクト・ホール（パイア）開口を示す図である。

【図46】デバイスのソース、ドレイン、及び上下のゲートに接触するためのコンタクト・ホール（パイア）開口を示す図である。

【図47】デバイスのソース、ドレイン、及び上下のゲートに接触するためのコンタクト・ホール（パイア）開口を示す図である。

【図48】本発明に従って部分的に完成した構造を線W-Wに沿って示す図である。

【図49】本発明の構造の平面図である。

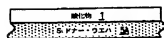
【符号の説明】

- 1、3、6 酸化物
- 2、7 窒化物
- 4 ウエハ
- 5 SOI
- 5A Siドナー・ウエハ
- 10、14、18、23 側壁
- 11 a-Si
- 12 リセス
- 13、27、29、30 LOT
- 15 上ゲート酸化物
- 16 上ゲート
- 17、22、28 窒化物ハード・マスク
- 25 19 分離酸化物
- 21 下ゲート酸化物
- 24 ドーパント注入
- 25 シリサイド金属
- 26 シリサイド
- 30 31、32 パイア
- 33 金属

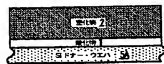
【図1】

【図2】

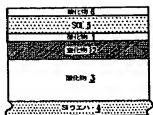
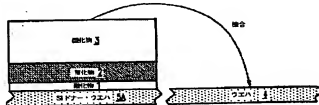
【図3】



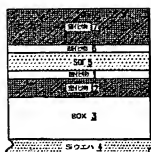
【図4】



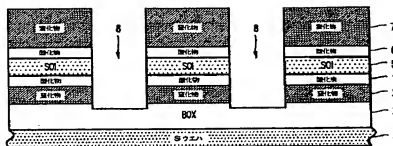
【図5】



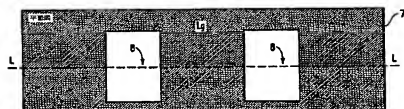
【図6】



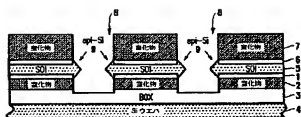
【図7】



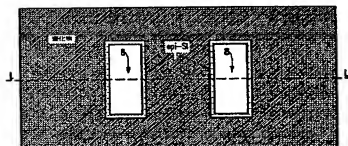
【図8】



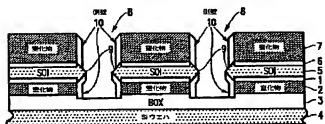
【図9】



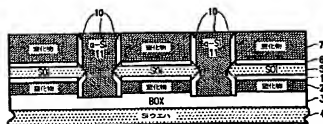
【図10】



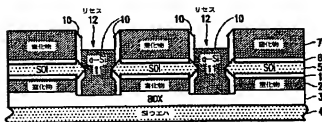
【図11】



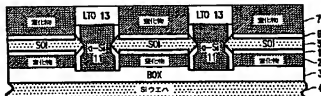
【図12】



【図13】

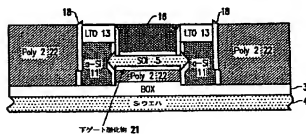
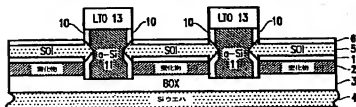


【図14】



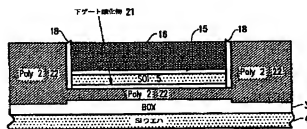
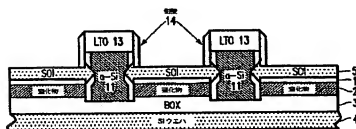
【図31】

【図15】



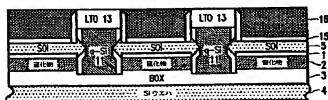
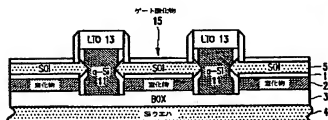
【図16】

【図32】

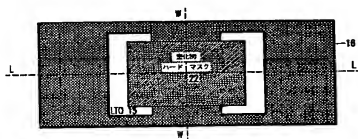


【図17】

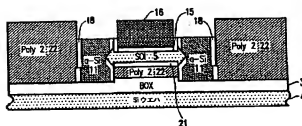
【図18】



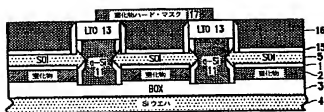
【図19】



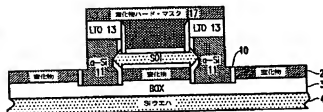
【図33】



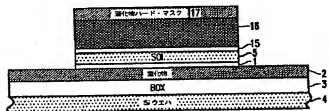
【図20】



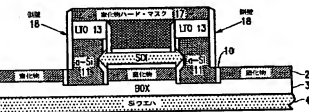
【図21】



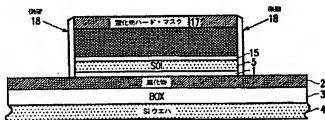
【図22】



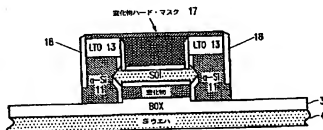
【図23】



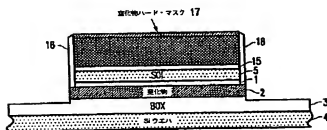
【図24】



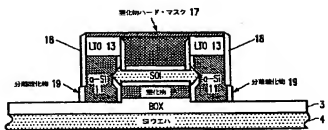
【図25】



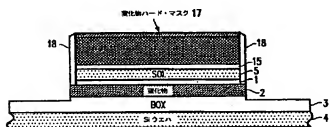
【図26】



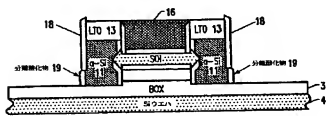
【図27】



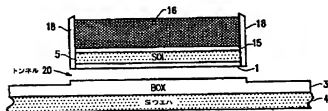
【図28】



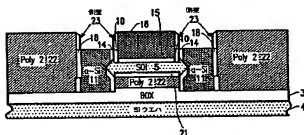
【図29】



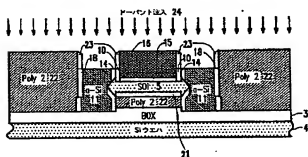
【図30】



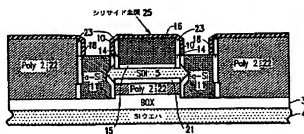
【図34】



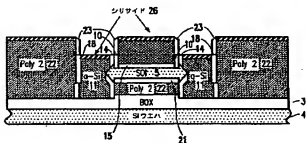
【図35】



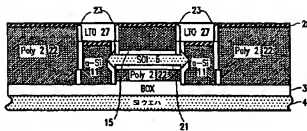
【図36】



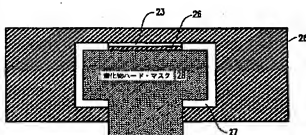
【図37】



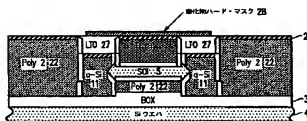
【図38】



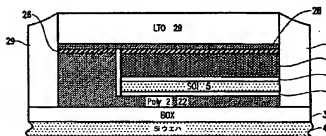
【図39】



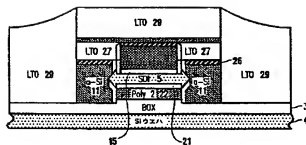
【図40】



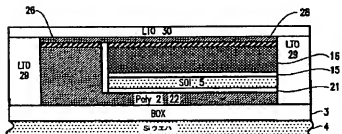
【図42】



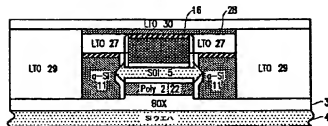
【図41】



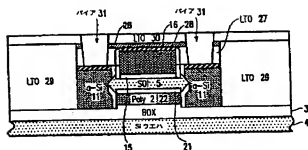
【図44】



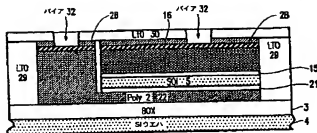
【図43】



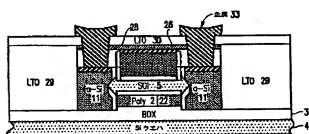
【図45】



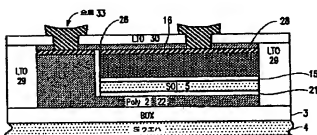
【図46】



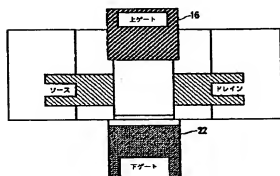
【図47】



【図48】



【図49】



フロントページの続き

- (72)発明者 ガイ・コーエン
アメリカ合衆国10547、ニューヨーク州モ
ーガン・レイク、ニュー・チャレット・ド
ライブ 157
(72)発明者 ホン・サン・フィリップ・ウォン
アメリカ合衆国10514、ニューヨーク州チ
ャパクア、バレー・ビュー・ロード 15

Fターム(参考) 5F110 AA08 BB03 CC10 DD05 DD13
EE04 EE05 EE09 EE22 EE30
EE32 EE41 FF02 FF12 GG02
GG12 GG22 GG25 GG28 HJ11
HJ13 HJ23 HK05 HK09 HK14
HK16 HK31 HK41 NN02 NN62
QQ11 QQ16 QQ17